

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-059691

(43)Date of publication of application : 25.02.2000

(51)Int.Cl.

H04N 5/335

(21)Application number : 11-001139

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 06.01.1999

(72)Inventor : EGAWA YOSHITAKA
ENDO YUKIO
OSAWA SHINJI
TANAKA YORIKO
TANAKA NAGATAKA

(30)Priority

Priority number : 10152805

Priority date : 02.06.1998

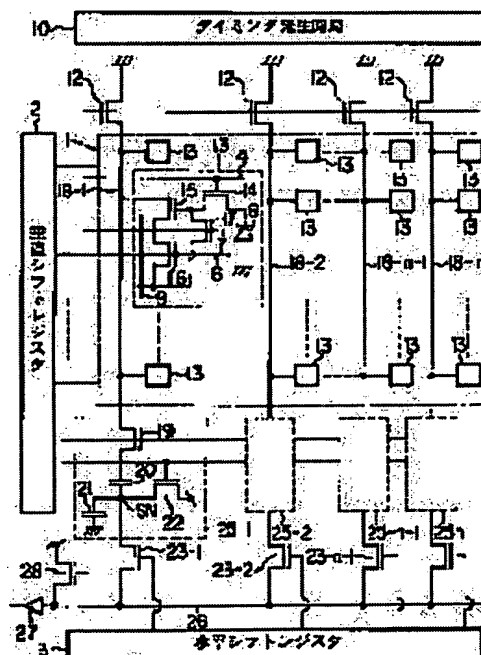
Priority country : JP

(54) SOLID-STATE IMAGE PICKUP DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce an image noise to be generated in the output display picture of an image sensor by suppressing a leak current after the end of series of noise removing operation in the case of reading for each horizontal line at the CMOS image sensor.

SOLUTION: This device is provided with plural signal preserving areas 25-i for respectively preserving signals respectively read from unit cells 13 of the same line selected in an image pickup area 1 to plural vertical signal lines 18-i, and plural horizontal selecting transistors 23-i for successively reading signals preserved in the respective signal preserving areas and transferring them to a horizontal signal line 26. While successively reading the signals out of the signal preserving areas at least, one of the drain source of a transistor 19 electrically connected to a signal route between vertical and horizontal signal lines is set into inverse bias state in respect to a substrate area.



LEGAL STATUS

[Date of request for examination]

22.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-59691

(P2000-59691A)

(43) 公開日 平成12年2月25日 (2000.2.25)

(51) Int.Cl.⁷

H 0 4 N 5/335

識別記号

F I

H 0 4 N 5/335

ターマコード (参考)

P

審査請求 未請求 請求項の数17 O L (全 20 頁)

(21) 出願番号 特願平11-1139

(22) 出願日 平成11年1月6日 (1999.1.6)

(31) 優先権主張番号 特願平10-152805

(32) 優先日 平成10年6月2日 (1998.6.2)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 江川 佳孝

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

(72) 発明者 遠藤 幸雄

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

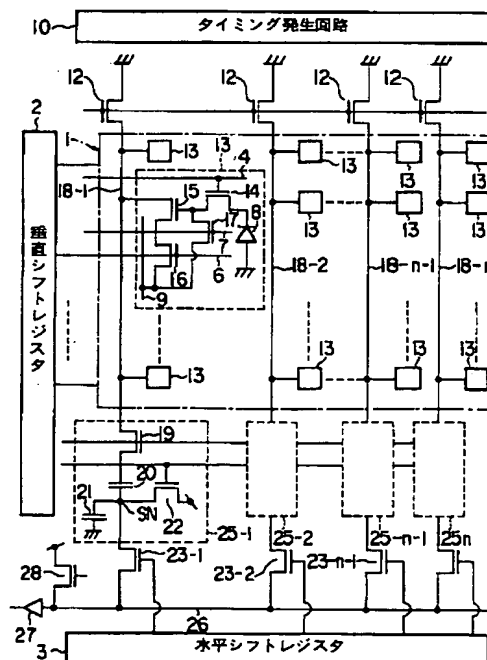
最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】 CMOS イメージセンサにおいて、1 水平線毎の読出し動作に際して一連のノイズ除去動作が終了した後における電流リークを抑制し、イメージセンサの出力表示画面に発生する画像ノイズを抑制する。

【解決手段】 撮像領域 1 の選択された同一行の単位セル 1 3 -i から複数の垂直信号線 1 8 -i にそれぞれ読出された信号をそれぞれ保存する複数の信号保存領域 2 5 -i と、各信号保存領域に保存された信号を順次選択して読出し水平信号線 2 6 に転送する複数の水平選択トランジスタ 2 3 -i とを具備し、少なくとも信号保存領域から信号を順次読出す期間中は、垂直信号線と水平信号線との間の信号経路に電氣的に接続されているトランジスタ 1 9 のドレイン・ソースの一方が基板領域に対して逆バイアス状態になるように設定する。



【特許請求の範囲】

【請求項 1】 光電変換素子を含む単位セルの複数個が半導体基板上に二次元の行列状に配置されて形成された撮像領域と、

前記撮像領域における同一行の単位セルを選択するための垂直選択線を選択駆動するための駆動回路と、

前記駆動回路により選択された同一行の単位セルからそれぞれ信号が読出される複数の垂直信号線と、

前記複数の垂直信号線の各一端側にそれぞれ接続された複数の負荷トランジスタと、

前記複数の垂直信号線に読出された信号をそれぞれ保存する複数の信号保存領域と、

前記複数の信号保存領域にそれぞれ保存された信号を順次選択して読出するための複数の水平選択トランジスタと、

前記複数の水平選択トランジスタにより順次選択されて読出された信号が転送される水平信号線と、

少なくとも前記信号保存領域から信号を順次読出す期間中は、前記垂直信号線と水平信号線との間の信号経路に電気的に接続されているトランジスタのドレイン・ソースの一方が基板領域に対して逆バイアス状態になるように設定するバイアス制御手段とを具備することを特徴とする固体撮像装置。

【請求項 2】 請求項 1 記載の固体撮像装置において、前記各信号保存領域は、

前記垂直信号線の他端側に一端側が接続されたサンプルホールド用のトランジスタと、このサンプルホールド用のトランジスタの他端側に一端側が接続された結合コンデンサと、この結合コンデンサの他端側に接続された電荷蓄積用のコンデンサと、前記 2 個のコンデンサの接続ノードに接続された電位クランプ用のトランジスタとにより構成されており、前記 2 個のコンデンサの接続ノードに前記水平選択トランジスタの一端側が接続されていることを特徴とする固体撮像装置。

【請求項 3】 請求項 2 記載の固体撮像装置において、さらに、

前記水平信号線に接続された水平リセットトランジスタと、

前記水平信号線に接続された出力増幅回路とを具備することを特徴とする固体撮像装置。

【請求項 4】 請求項 2 または 3 記載の固体撮像装置において、

前記サンプルホールド用のトランジスタ、電位クランプ用のトランジスタ、水平選択トランジスタおよび水平リセットトランジスタのそれぞれは、半導体基板の表層部に選択的に形成された P ウェルに活性化領域が形成された NMOS トランジスタからなることを特徴とする固体撮像装置。

【請求項 5】 請求項 1 乃至 4 のいずれか 1 項に記載の固体撮像装置において、

前記バイアス制御手段は、1 水平線毎の読出し動作に際して選択される前記垂直選択線の駆動信号を、少なくとも前記複数の信号保存領域にそれぞれ保存された信号を複数の水平選択トランジスタにより順次選択して読出す期間は活性状態に制御することを特徴とする固体撮像装置。

【請求項 6】 請求項 2 乃至 4 のいずれか 1 項に記載の固体撮像装置において、

前記バイアス制御手段は、少なくとも前記複数の信号保存領域にそれぞれ保存された信号を複数の水平選択トランジスタにより順次選択して読出す期間は、前記負荷トランジスタをオフ状態に制御するとともに、前記サンプルホールド用のトランジスタのドレイン・ソースの一方が基板領域に対して逆バイアス状態になるように、前記垂直信号線の電位を設定することを特徴とする固体撮像装置。

【請求項 7】 請求項 2 記載の固体撮像装置において、前記バイアス制御手段は、前記電位クランプ用のトランジスタのドレイン・ソースの一方が基板領域に対して逆バイアス状態になるように、電位クランプ用のトランジスタのクランプ電位を設定することを特徴とする固体撮像装置。

【請求項 8】 請求項 3 記載の固体撮像装置において、前記バイアス制御手段は、前記水平リセットトランジスタのドレイン・ソースの一方が基板領域に対して逆バイアス状態になるように、水平リセットトランジスタのリセット電位を設定することを特徴とする固体撮像装置。

【請求項 9】 光電変換した電荷を生成する光電変換手段、生成した電荷を読出す読出し手段、読出された電荷を増幅する増幅手段、前記読出された電荷をリセットするためのリセット手段および前記増幅手段の出力信号を垂直信号線に出力させるための行選択手段を有する単位セルが半導体基板上に二次元の行列状に配置された撮像領域と、

前期垂直信号線の一端側に接続された負荷トランジスタと、

前記行選択手段がオフ状態にある時に前記負荷トランジスタをカットオフさせる負荷トランジスタオン・オフ制御手段とを具備し、前記負荷トランジスタオン・オフ制御手段により前記負荷トランジスタがカットオフした後は前記垂直信号線にバイアス電圧が印加されることを特徴とする固体撮像装置。

【請求項 10】 請求項 9 記載の固体撮像装置において、

前記負荷トランジスタオン・オフ制御手段により前記負荷トランジスタをカットオフした時に、前記行選択手段はオン状態であり、前記行選択手段および前記増幅手段を通じて前記垂直信号線に所定のバイアス電圧が印加され、その後、前記行選択手段がオフ状態にされることを特徴とする固体撮像装置。

【請求項11】 請求項9記載の固体撮像装置において、
前記負荷トランジスタオン・オフ制御手段により前記負荷トランジスタをカットオフした時に前記垂直信号線に所定のバイアス電圧を印加するためのバイアス印加手段を具備することを特徴とする固体撮像装置。

【請求項12】 請求項11記載の固体撮像装置において、

前記バイアス印加手段は、前記負荷トランジスタオン・オフ制御手段により前記負荷トランジスタをカットオフした時に前記垂直信号線に印加するバイアス電圧を2種類の電圧に切り換えることを特徴とする固体撮像装置。

【請求項13】 請求項12記載の固体撮像装置において、

前記行選択手段は、水平帰線期間に2回に分けて行選択動作を行い、

前記負荷トランジスタオン・オフ制御手段は、前記2回の行選択動作に対応して前記負荷トランジスタを2回に分けて動作させ、

前記バイアス印加手段は、第1回目の行選択動作の後に前記負荷トランジスタオン・オフ制御手段により前記負荷トランジスタをカットオフした時は、前記垂直信号線に第1のバイアス電圧を印加し、第2回目の行選択動作の後から有効水平走査期間に亘って前記負荷トランジスタオン・オフ制御手段により前記負荷トランジスタをカットオフしている時は、前記垂直信号線に前記第1のバイアス電圧より低い第2のバイアス電圧を印加することを特徴とする固体撮像装置。

【請求項14】 光電変換した電荷を生成する光電変換手段、生成した電荷を讀出す讀出し手段、讀出された電荷を増幅する増幅手段、前記讀出された電荷をリセットするためのリセット手段および前記増幅手段の出力信号を垂直信号線に出力させるための行選択手段を有する単位セルが半導体基板上に二次元の行列状に配置された撮像領域と、

前期垂直信号線の一端側に接続された負荷トランジスタと、

前記行選択手段がオフ状態にある時に前記負荷トランジスタをカットオフさせる負荷トランジスタオン・オフ制御手段と、

前記負荷トランジスタオン・オフ制御手段により前記負荷トランジスタをカットオフした後に前記垂直信号線が所定の電圧以下になると自動的に垂直信号線にバイアスを印加するバイアス印加手段とを具備することを特徴とする固体撮像装置。

【請求項15】 請求項14記載の固体撮像装置において、

前記バイアス印加手段は、その一端が前記垂直信号線に接続され、そのゲート電位が閾値電圧以上の電圧に設定された余剰電荷吸収用のトランジスタにより構成される

ことを特徴とする固体撮像装置。

【請求項16】 請求項11または14記載の固体撮像装置において、

前記バイアス印加手段は、前記単位セルと実質的に同一構造を有するダミーセルの複数個が行方向に配置されて形成されたダミー画素行を具備し、前記ダミー画素行の各ダミーセルの前記行選択手段を制御することで、前記ダミーセルの行選択手段および増幅手段を通じて前記垂直信号線にバイアスを印加することを特徴とする固体撮像装置。

【請求項17】 請求項1乃至16のいずれか1項に記載の固体撮像装置において、

前記単位セルは、

アノード側に接地電位が与えられるフォトダイオードと、

前記フォトダイオードのカソード側に一端側が接続され、ゲートに読取り線が接続された読出しトランジスタと、

前記読出しトランジスタの他端側にゲートが接続され、一端側に垂直信号線が接続された増幅トランジスタと、

前記増幅トランジスタの他端側に一端側が接続され、ゲートには前記垂直信号線が接続され、他端側に電源線が接続された垂直選択トランジスタと、

前記増幅トランジスタのゲートと前記電源線との間に接続され、ゲートにはリセット線が接続されたリセットトランジスタとを具備することを特徴とする固体撮像装置。

【発明の詳細な説明】
【0001】

【発明の属する技術分野】本発明は、固体撮像装置に係り、特に1画素毎に画素信号の讀出しが可能な讀出し回路を備えたCMOS型の固体イメージセンサ（CMOSイメージセンサ）の信号保存ノードのリーク電流を抑制する回路および画素信号増幅用ソースホロウの電流消費を抑制する回路に関するもので、例えばビデオカメラ、電子スチールカメラなどに使用される。

【0002】

【従来の技術】図16は、1画素毎に画素信号の讀出しが可能な讀出し回路を備えたCMOS型の固体イメージセンサ（増幅型CMOSイメージセンサ）の従来例1の等価回路を示している。

【0003】

図16において、セル領域（撮像領域）1には1ピクセル/1ユニット（1画素）の単位セル13が二次元の行列状に配置されて形成されている。

【0004】各単位セル13は、例えば4個のトランジスタと1個のフォトダイオードから構成される。即ち、アノード側に接地電位が与えられるフォトダイオード8と、フォトダイオード8のカソード側に一端側が接続されている読出しトランジスタ（シャッターゲートトランジスタ）14と、読出しトランジスタ14の他端側にゲート

10

20

30

40

50

トが接続されている増幅トランジスタ15と、増幅トランジスタ15の一端側に一端側が接続されている垂直選択トランジスタ16と、増幅トランジスタ15のゲートに一端側が接続されているリセットトランジスタ17とを具備する。

【0005】そして、前記セル領域1には、同一行の単位セルの各読出しトランジスタ14のゲートに共通に接続された読取り線4と、同一行の単位セルの各垂直選択トランジスタ16のゲートに共通に接続された垂直選択線6と、同一行の単位セルの各リセットトランジスタ17のゲートに共通に接続されたリセット線7と、同一列の単位セルの各増幅トランジスタ15の他端側に共通に接続された垂直信号線18-i ($i=1 \sim n$) と、同一列の単位セルの各リセットトランジスタ17の他端側および各垂直選択トランジスタ16の他端側に共通に接続された電源線9が形成されている。

【0006】さらに、セル領域1外には、前記垂直信号線18-iの各一端側と接地ノードとの間にそれぞれ接続された複数の負荷トランジスタ12と、前記垂直信号線18-iの各他端側にそれぞれ対応してノイズキャンセラ回路25-iを介して各一端側が接続された複数の水平選択トランジスタ23-iと、この複数の水平選択トランジスタ23-iの各他端側に共通に接続された水平信号線26と、この水平信号線26に接続された出力増幅回路27と、上記水平信号線26に接続された水平リセットトランジスタ28と、前記セル領域1の各行の垂直選択線6に走査的に選択信号を供給して各行の垂直選択トランジスタ16を走査的に駆動するための垂直シフトレジスタ2と、前記水平選択トランジスタ23-iを走査的に駆動するための水平シフトレジスタ3と、各種のタイミング信号を発生するためのタイミング発生回路10などが設けられている。

【0007】前記各ノイズキャンセラ回路25-iは、例えば2個のトランジスタと2個のコンデンサから構成される。即ち、垂直信号線18-iの他端側に一端側が接続されたサンプルホールド用のトランジスタ19と、このサンプルホールド用のトランジスタ19の他端側に一端側が接続された結合コンデンサ20と、この結合コンデンサ20の他端側と接地ノードとの間に接続された電荷蓄積用のコンデンサ21と、前記コンデンサ20・21の接続ノードに接続された電位クランプ用のトランジスタ22とにより構成されており、前記コンデンサ20・21の接続ノードに前記水平選択トランジスタ23-iの一端側が接続されている。

【0008】なお、各水平選択トランジスタ23-iは、半導体基板の表層部に選択的に形成されたPウェルに形成された活性化領域(SDG領域)を有するNMOSTトランジスタからなる。なお、上記Pウェルは接地電位に接続される。

【0009】図17は、図16に示した固体イメージセ

ンサの動作の一例を示すタイミング波形図である。

【0010】次に、図17を参照しながら、図16の固体イメージセンサの動作を説明する。

【0011】各フォトダイオード8の入射光が光電変換されて生じた信号電荷はフォトダイオード8内に蓄積される。

【0012】この信号電荷を読出す動作の前に、まず、増幅トランジスタ15のゲート電位をリセットするために、リセット線7に“H”レベルのリセット信号が一定期間与えられてリセットトランジスタ17が一定期間オン状態になり、増幅トランジスタ15のゲート電位が所望の電位にリセットされる。

【0013】これと同時に、垂直シフトレジスタ2により走査的に選択される垂直選択線(アドレス線)6に“H”レベルの選択信号が与えられると、この垂直選択線6から選択信号が与えられた垂直選択トランジスタ16がオン状態に制御され、この垂直選択トランジスタ16を介して増幅トランジスタ15に電源線9の電圧が供給される。これにより、ソースホロワ接続されている増幅トランジスタ15は、ゲート電位に応じた電位を対応する垂直信号線18-iに出力する。

【0014】しかし、前記したようにリセットされた増幅トランジスタ15のゲート電位にはばらつきが存在し、そのドレイン側の垂直信号線18-iのリセット電位にもばらつきが現われる。

【0015】そこで、各垂直信号線18-iのリセット電位のばらつきをリセットするために、前記リセットトランジスタ17に続いてサンプルホールド用のトランジスタ19がオン状態に制御され、垂直信号線18-iのリセット電位がコンデンサ20を介してコンデンサ21に伝達される。この後、電位クランプ用のトランジスタ22が一定期間オン状態に制御され、コンデンサ20・21の接続ノードの電圧が一様に固定される。

【0016】次に、所定行の読取り線4が選択されて(“H”レベルの読取り信号が与えられて)読出しトランジスタ14がオンになると、フォトダイオード8の蓄積電荷が上記読出しトランジスタ14を介して増幅トランジスタ15のゲートに転送され、このゲート電位を変化させる。増幅トランジスタ15は、ゲート電位の変化量に応じた電圧信号を対応する垂直信号線18-iに出力する。

【0017】結果として、リセット後における読出し動作に伴う垂直信号線18-iの電圧信号の変化分がコンデンサ20を介してコンデンサ21に伝達されたことになるので、セル領域1に起因する各垂直信号線18-iのリセット電位のばらつきなどのノイズキャンセラ回路25-iより前段側に混入したノイズは除去される。

【0018】上記したような一連のノイズ除去動作が終了した後、サンプルホールド用のトランジスタ19がオフ状態に制御され、さらに垂直選択トランジスタ16が

オフ状態に制御されて単位セル13が非選択状態にされ
ることにより、セル領域1と各ノイズキャンセラー回路
25-iとが電氣的に分離される。

【0019】そして、水平リセットトランジスタ28が
オン状態に制御されて水平信号線26の電位がリセット
された後、水平選択トランジスタ23-iが順次オン状態
に制御され、コンデンサ20・21の接続ノード（信号
保存ノードSN）の電圧が順次読出され、出力増幅回路
27により増幅されて出力する。

【0020】なお、前記したような一連のノイズ除去動
作は、1水平線毎の読出し動作に際して行われる。

【0021】ところで、従来は、前記したような一連の
ノイズ除去動作が終了した後、垂直選択線6を“L”レ
ベルに戻して垂直選択トランジスタ16をオフ状態に制
御している。これにより、垂直信号線18-iの電圧は負
荷トランジスタ12を通じて接地電位まで低下してしま
う。

【0022】この時、ノイズキャンセラー回路25-iに
おいて、サンプルホールド用のトランジスタ19は垂直
信号線18-i側の一端側が基板（例えばPウェル）と同
じ電圧にバイアスされるので、そのリーク電流が無視で
きない程度に発生し、このリーク電流により前記信号保
存ノードSNの電圧が変化してしまう。

【0023】この場合、各サンプルホールド用のトラン
ジスタ19のリーク電流のばらつきがあり、このリーク
電流に応じて前記信号保存ノードSNの電圧が変化する
度合いにばらつきが発生する。

【0024】したがって、この後、水平選択トランジス
タ23-iが順次オン状態に制御されて各水平選択トラン
ジスタ23-iから信号が読出される時、各信号の直流電
位がばらついているので、このばらつきに起因して、イ
メージセンサの出力信号を画像表示装置の画面に表示し
た場合に縦筋などの画像ノイズが発生する。

【0025】また、従来は、ノイズキャンセラー回路2
5-iにおいて、信号保存ノードSNの電位をクランプす
る時にクランプ用トランジスタ22により接地電位にク
ランプしており、信号保存ノードSNに連なるクランプ
用トランジスタ22や水平選択トランジスタ23-iもそ
れぞれの一端側が基板（本例ではPウェル）と同じ電圧
にバイアスされるので、そのリーク電流が無視できない
程度に発生する。

【0026】これにより、水平選択トランジスタ23-i
が順次オン状態に制御される過程で、早い時期に選択さ
れた水平選択トランジスタ23-iから読出される信号の
直流電位に対して遅い時期に選択された水平選択トラン
ジスタ23-iから読出される信号の直流電位が変化する
（例えば次第に低くなる）現象が生じるようになり、前
記したような縦筋などの画像ノイズが発生する原因にな
る。

【0027】図18は、増幅型CMOSイメージセンサ 50

の従来例2の等価回路を示している。

【0028】図18において、セル領域（撮像領域）1
には、図16中に示した単位セル13と同様に、垂直選
択トランジスタ（行選択トランジスタ）Ta、増幅トラ
ンジスタTb、リセットトランジスタTc、読出しトラ
ンジスタTdと、フォトダイオードPDから構成される
1ピクセル/1ユニットの単位セル13が二次元の行列
状に配置されて形成されている。

【0029】前記セル領域1には、図16中に示したと
同様に、読取り線4と、垂直選択線6と、リセット線7
と、垂直信号線VLINと、電源線9が形成されている。

【0030】セル領域1の一端側の外部には、図16中
に示したと同様に、前記垂直信号線VLINの各一端側と接
地ノードとの間にそれぞれ接続された複数の負荷トラン
ジスタTLが水平方向に配置されている。

【0031】また、セル領域1の他端側の外部には、図
16中に示したノイズキャンセラー回路25-iと同様
に、サンプルホールド用のトランジスタTSHと、電位ク
ランプ用のトランジスタTCLP、結合コンデンサCc、電
荷蓄積用のコンデンサCtからなるノイズキャンセラー
回路25が水平方向に配置されている。そして、上記コ
ンデンサCc、コンデンサCtの接続ノードに各一端が
接続された水平選択トランジスタTHが水平方向に配置
されている。

【0032】上記水平選択トランジスタTHの各他端に
共通に水平信号線HLINが接続されており、この水平信
号線HLINには水平リセットトランジスタ（図示せず）およ
び出力増幅回路（図示せず）が接続されている。

【0033】さらに、セル領域1の外部には、各行の垂
直選択トランジスタTaを走査的に選択制御するための
垂直シフトレジスタ2、前記水平選択トランジスタTH
を走査的に駆動するための水平シフトレジスタ3、前記
ノイズキャンセラー回路25などに供給するための各種
のタイミング信号を発生するタイミング発生回路10
と、前記ノイズキャンセラー回路25の電位クランプ用
のトランジスタTCLPの一端などに所定のバイアス電位を
発生するためのバイアス発生回路11と、上記垂直シフ
トレジスタ2の出力パルスにより制御されてセル領域1
の各行を走査的に駆動するためのパルスセクタ2aと
がそれぞれ配置されている。

【0034】図18において、単位セル13の増幅トラ
ンジスタTbと、これに垂直信号線VLINを介して接続さ
れている負荷トランジスタTLとは、ソースホロウ回路
を形成している。

【0035】図18に示した固体イメージセンサの動作
は、図17を参照しながら説明した図16の固体イメー
ジセンサの動作と比べて、基本的にはほぼ同様である
が、動作タイミングが若干異なる。

【0036】図19は、図18に示した固体イメージセ
ンサの動作の一例を示すタイミング波形図である。

【0037】即ち、各フォトダイオードPDの入射光が光電変換されて生じた信号電荷はフォトダイオードPD内に蓄積される。

【0038】水平帰線期間において、ある一行分の単位セル13からフォトダイオードPDの信号電荷を読出す際、まず、各垂直信号線VLINを選択するために、選択対象行の垂直選択線6の信号(ϕ ADRESパルス)をオンにすることにより一行分の行選択トランジスタTaをオンにする。

【0039】これにより、前記一行分の単位セル13において、行選択トランジスタTaを介して電源電位VDDが供給される増幅トランジスタTbと負荷トランジスタTLからなるソースホロワ回路を動作させる。

【0040】次に、前記一行分の単位セルにおいて、リセット線7の信号(ϕ RESETパルス)をオンにし、増幅トランジスタTbのゲート電圧を基準電圧にリセットすることにより、垂直信号線VLINに基準電圧を出力する。

【0041】この場合、予め(例えば前記 ϕ ADRESパルスのオンと同時に)ノイズキャンセラー回路25におけるサンプルホールド用トランジスタTSHの駆動信号(ϕ SHパルス)をオンにしておき、前記垂直信号線VLINに基準電圧が出力された後に電位クランプ用のトランジスタTCLPの駆動信号(ϕ CLPパルス)を一定時間オンにすることにより、ノイズキャンセラー回路25に基準電圧が設定される。

【0042】次に、前記 ϕ RESETパルスをオフした後、読取り線4の信号(ϕ READパルス)をオンすることにより、読出しトランジスタTdをオンにし、フォトダイオードPDの蓄積電荷を増幅トランジスタTbのゲートに読出し、信号電圧を垂直信号線VLINおよび出力ノイズキャンセラー回路25に出力する。

【0043】この後、ノイズキャンセラー回路25における ϕ SHパルスをオフすることにより、前記したように読出された基準電圧と信号電圧の差分に相当する信号成分(ノイズが除去された信号電圧)を電荷蓄積用のコンデンサCtに有効水平走査期間中も蓄積することができる。

【0044】そして、前記したようにコンデンサCtに蓄積した信号電圧は、セル領域1と各ノイズキャンセラー回路25とが電気的に分離された後の有効走査期間に、 ϕ ADRESパルスをオフにすることにより垂直選択トランジスタTaがオフ状態に制御されて単位セル13を非選択状態にしたうえで、水平選択トランジスタTHの駆動信号(ϕ Hパルス)を順次オンにすることにより、水平選択トランジスタTHが順次オンになり、水平信号線HLINに出力する。

【0045】しかし、上記動作において、垂直信号線VLINの電圧VVLINは、水平帰線期間にはソースホロワ回路の動作電圧Vm(約1.5V)になるが、有効水平走査期間には0Vになるので、有効水平走査期間にサンプル

ホールド用トランジスタTSHにリーク電流が発生してノイズキャンセラー回路25のコンデンサにリーク電流が注入する。このリーク電流は、垂直ライン毎で異なるので縦筋等の画像ノイズが発生する。

【0046】

【発明が解決しようとする課題】上記したように従来のCMOSイメージセンサは、1水平線毎の読出し動作に際してノイズキャンセラー回路による一連のノイズ除去動作が終了した後における電流リークによる信号保存ノードの電圧変化に起因して、イメージセンサの出力信号の表示画面に縦筋などの画像ノイズが発生する原因となるという問題があった。

【0047】本発明は上記の問題点を解決すべくなされたもので、1水平線毎の読出し動作に際してノイズキャンセラー回路による一連のノイズ除去動作が終了した後における電流リークを抑制でき、イメージセンサの出力信号の表示画面に発生する縦筋などの画像ノイズを抑制し得る固体撮像装置を提供することを目的とする。

【0048】

【課題を解決するための手段】第1の発明の固体撮像装置は、光電変換素子を含む単位セルの複数個が半導体基板上に二次元の行列状に配置されて形成された撮像領域と、前記撮像領域における同一行の単位セルを選択するための垂直選択線を選択駆動するための駆動回路と、前記駆動回路により選択された同一行の単位セルからそれぞれ信号が読出される複数の垂直信号線と、前記複数の垂直信号線の各一端側にそれぞれ接続された複数の負荷トランジスタと、前記複数の垂直信号線に読出された信号をそれぞれ保存する複数の信号保存領域と、前記複数の信号保存領域にそれぞれ保存された信号を順次選択して読出すための複数の水平選択トランジスタと、前記複数の水平選択トランジスタにより順次選択されて読出された信号が転送される水平信号線と、少なくとも前記信号保存領域から信号を順次読出す期間中は、前記垂直信号線と水平信号線との間の信号経路に電気的に接続されているトランジスタのドレイン・ソースが基板領域に対して逆バイアス状態になるように設定するバイアス制御手段とを具備することを特徴とする。

【0049】第2の発明の固体撮像装置は、第1の発明の固体撮像装置において、バイアス制御手段は、1水平線毎の読出し動作に際して選択される前記垂直選択線の駆動信号を、少なくとも前記複数の信号保存領域にそれぞれ保存された信号を複数の水平選択トランジスタにより順次選択して読出す期間は活性状態に制御することを特徴とする。

【0050】第3の発明の固体撮像装置は、光電変換した電荷を生成する光電変換手段、生成した電荷を読出す読出し手段、読出された電荷を増幅する増幅手段、前記読出された電荷をリセットするためのリセット手段および前記増幅手段の出力信号を垂直信号線に出力させるた

めの行選択手段を有する単位セルが半導体基板上に二次元の行列状に配置された撮像領域と、前期垂直信号線の一端側に接続された負荷トランジスタと、前記行選択手段がオフ状態にある時に前記負荷トランジスタをカットオフさせる負荷トランジスタオン・オフ制御手段とを具備し、前記負荷トランジスタオン・オフ制御手段により前記負荷トランジスタがカットオフした後は前記垂直信号線にバイアス電圧が印加されることを特徴とする。

【0051】第4の発明の固体撮像装置は、第3の発明の固体撮像装置において、前記負荷トランジスタオン・オフ制御手段により前記負荷トランジスタをカットオフした時に前記垂直信号線に所定のバイアス電圧を印加するためのバイアス印加手段を具備することを特徴とする。

【0052】第5の発明の固体撮像装置は、光電変換した電荷を生成する光電変換手段、生成した電荷を読出す読出し手段、読出された電荷を増幅する増幅手段、前記読出された電荷をリセットするためのリセット手段および前記増幅手段の出力信号を垂直信号線に出力させるための行選択手段を有する単位セルが半導体基板上に二次元の行列状に配置された撮像領域と、前期垂直信号線の一端側に接続された負荷トランジスタと、前記行選択手段がオフ状態にある時に前記負荷トランジスタをカットオフさせる負荷トランジスタオン・オフ制御手段と、前記負荷トランジスタオン・オフ制御手段により前記負荷トランジスタをカットオフした後に前記垂直信号線が所定の電圧以下になると自動的に垂直信号線にバイアスを印加するバイアス印加手段とを具備することを特徴とする。

【0053】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0054】第1の発明に係る増幅型CMOSイメージセンサは、従来例の増幅型CMOSイメージセンサと比べて、大部分は同様であるが、1水平線毎の読出し動作に際してノイズキャンセラー回路25-iによる一連のノイズ除去動作が終了した後における垂直信号線18-iの電位が接地電位に低下しないような工夫がなされている。

【0055】＜第1実施例＞図1は、第1実施例の増幅型CMOSイメージセンサの等価回路を示している。

【0056】図1のCMOSイメージセンサは、図16を参照して前述した従来例1のCMOSイメージセンサと比べて、水平帰線期間における1水平線毎の読出し動作に際してノイズキャンセラー回路25-iによる一連のノイズ除去動作が終了した後における垂直選択トランジスタ16の駆動方法が変更されており、その他は同じであるので図16中と同一符号を付している。

【0057】即ち、図1において、セル領域（撮像領域）1には、フォトダイオード（光電変換素子）8、読

出しトランジスタ（読出し手段）14、増幅トランジスタ（増幅手段）15、垂直選択トランジスタ（行選択手段）16、リセットトランジスタ（リセット手段）17から構成される単位セル13が二次元の行列状に配置され、さらに、読取り線4、垂直選択線6、リセット線7、垂直信号線18-i（ $i=1 \sim n$ ）、電源線9が形成されている。

【0058】さらに、セル領域1外には、複数の負荷トランジスタ12、ノイズキャンセラー回路（信号保存領域）25-i、水平選択トランジスタ23-i、水平信号線26、出力増幅回路27、水平リセットトランジスタ28、垂直シフトレジスタ2、水平シフトレジスタ3、タイミング発生回路10などが設けられている。

【0059】前記ノイズキャンセラー回路25-iは、サンプルホールド用のトランジスタ19、結合コンデンサ20、電荷蓄積用のコンデンサ21、電位クランプ用のトランジスタ22により構成されており、前記コンデンサ20・21の接続ノードに前記水平選択トランジスタ23-iの一端側が接続されている。

【0060】さらに、図示していないが、前記垂直シフトレジスタ2の出力と前記タイミング発生回路10の出力とを用いて、例えば図2に示すように駆動パルスを生成し、前記読取り線4、垂直選択線6、リセット線7、負荷トランジスタ12、サンプルホールド用のトランジスタ19、電位クランプ用のトランジスタ22に供給するための駆動回路が設けられている。

【0061】図2は、図1のCMOSイメージセンサの動作の一例を示すタイミング波形図である。

【0062】図1のCMOSイメージセンサの動作は、従来例1の図16のCMOSイメージセンサの動作（図17参照）と比べて、水平帰線期間における1水平線毎の読出し動作に際して選択される垂直選択線6の駆動信号が、一連のノイズ除去動作の前後を通じて、少なくとも各ノイズキャンセラー回路25-iの信号保存ノードSNにそれぞれ保存された信号を複数の水平選択トランジスタにより順次選択して読出す期間（有効水平走査期間）にも活性状態（本例では“H”レベル）に制御されている点が異なり、その他は同じである。

【0063】即ち、1水平線毎の読出し動作に際して、一連のノイズ除去動作が終了した後、サンプルホールド用のトランジスタ19がオフ状態に制御されることにより、セル領域1と各ノイズキャンセラー回路25-iとが電気的に分離される。

【0064】そして、水平リセットトランジスタ29がオン状態に制御されて水平信号線26の電位がリセットされた後、水平選択トランジスタ23-iが順次オン状態に制御され、コンデンサ20・21の接続ノード（信号保存ノードSN）の電圧が順次読出され、出力増幅回路27により増幅されて出力する。

【0065】この場合、前記したような一連のノイズ除

去動作が終了した後も、選択行の“H”レベルの垂直選択線6により垂直選択トランジスタ16がオン状態に制御されている。したがって、垂直信号線18-iの電圧が負荷トランジスタ12を通じて接地電位まで低下してしまうことが防止される。この場合、単位セル13の増幅トランジスタ15およびこれに垂直信号線18-iを介して接続されている負荷トランジスタ12は、ソースホロウ回路を形成しており、垂直信号線18-iの電圧はソースホロウ回路の動作電圧 V_m （約1V~1.5V）になる。

【0066】これにより、垂直信号線18-iと水平信号線との間の信号経路に接続されているノイズキャンセラー回路25-iのサンプルホールド用のトランジスタ19において、垂直信号線18-i側の一端部・基板領域（本例ではPウェル=0V）が逆バイアス状態になる。

【0067】したがって、サンプルホールド用のトランジスタ19のリーク電流が抑制され、このリーク電流による信号保存ノードSNの電圧低下が抑制され、各サンプルホールド用のトランジスタ19のリーク電流のばらつきに応じた信号保存ノードSNの電圧低下度合のばらつきが抑制される。

【0068】結果として、この後、水平選択トランジスタ23-iが順次オン状態に制御されて各水平選択トランジスタ23-iから信号が読出される時、各信号の直流電位のばらつきに起因してイメージセンサの出力信号を画像表示装置の画面に表示した場合に発生する縦筋などの画像ノイズが抑制される。

【0069】＜第1実施例の変形例1＞図2中に示した動作タイミングにおいて、従来例2の説明で図19に示した動作タイミングと同様に、垂直トランジスタ16をオンにし、サンプルホールド用のトランジスタ19をオンにした後にリセットトランジスタ17を一時的にオンにするように変更してもよい。

【0070】この変更は、従来例2で説明した図18のCMOSイメージセンサにおいて、垂直選択トランジスタTaの駆動回路（垂直シフトレジスタ2の出力を選択して垂直選択線6の駆動信号を生成するパルスセレクタ2a）を変更し、図20に示すように、選択行の ϕ_{ADRES} パルスを“H”レベルに立ち上げてから有効水平走査期間が終了するまでの間は垂直選択トランジスタTaをオン状態に制御するように変更することに対応する。

【0071】＜第1実施例の変形例2＞第1実施例の変形例2に係るCMOSイメージセンサは、前述した第1実施例のCMOSイメージセンサと比べて、さらに、ノイズキャンセラー回路25-iの信号保存ノードSNに連なる電位クランプ用トランジスタ22のクランプ電位および水平信号線26に連なる水平リセット用トランジスタ28のリセット電位が、少なくとも各ノイズキャンセラー回路25-iの信号保存ノードSNにそれぞれ保存された信号を複数の水平選択トランジスタ23-iにより順

次選択して読出す期間はそれぞれ例えば1V程度に設定されている点が変更されており、その他は同じである。

【0072】このような構成によれば、一連のノイズ除去動作の終了後において、電位クランプ用トランジスタ22のクランプ電位側一端部・基板領域（本例ではPウェル=0V）は逆バイアス状態になっており、そのリーク電流が抑制され、このリーク電流による信号保存ノードSNの電圧低下が抑制される。

【0073】また、水平リセット用トランジスタ28のリセット動作の終了後において、水平信号線26は1V程度になっているので、水平選択トランジスタ23-iの水平信号線側一端部・基板領域（本例ではPウェル=0V）は逆バイアス状態になっており、そのリーク電流が抑制され、このリーク電流による信号保存ノードSNの電圧低下が抑制される。

【0074】また、水平リセット用トランジスタ28のリセット動作の終了後において、水平リセット用トランジスタ28のリセット電位側一端部・基板領域（本例ではPウェル=0V）は逆バイアス状態になっており、そのリーク電流が抑制され、このリーク電流による水平信号線26の電圧低下が抑制される。

【0075】結果として、イメージセンサの出力信号を画像表示装置の画面に表示した場合に発生する縦筋などの画像ノイズが第1実施例よりもさらに抑制される。

【0076】ところで、上記第1実施例では、前記ソースホロウ回路が常に動作状態になるので消費電力が増加するという問題があり、この点を解決した実施例を以下に説明する。

【0077】＜第2実施例＞図3は、第2実施例のCMOSイメージセンサの等価回路を示している。

【0078】図3のCMOSイメージセンサは、図16を参照して前述した従来例1のCMOSイメージセンサと比べて、1水平線毎の読出し動作に際してノイズキャンセラー回路25-iによる一連のノイズ除去動作が終了した後における垂直信号線18-iの電圧を所要のバイアス電位（例えば1V程度）に設定するために、各垂直信号線18-iとバイアス電圧ノードとの間にそれぞれ接続されたバイアス印加用トランジスタ31と、一連のノイズ除去動作終了後に垂直信号線18-iの負荷トランジスタ12をオフ状態に制御するとともに前記バイアス印加用トランジスタ31をオン状態に制御するオン・オフ制御回路32が付加されており、その他は同じであるので、図16中と同一符号を付してその説明を省略する。

【0079】図4は、図3のCMOSイメージセンサの動作の一例を示すタイミング波形図である。

【0080】図3のCMOSイメージセンサの動作は、従来例1の図16のCMOSイメージセンサの動作（図17参照）と比べて、1水平線毎の読出し動作に際して少なくとも各ノイズキャンセラー回路25-iの信号保存ノードSNに保存された信号を複数の水平選択トランジ

スタ23-iにより順次選択して読出す期間は、負荷トランジスタ12がオフ状態に制御されるとともにバイアス印加用トランジスタ31がオン状態に制御される点が異なり、その他は同じである。

【0081】上記第2実施例のCMOSイメージセンサによれば、前記第1実施例のCMOSイメージセンサと同様に、1水平線毎の読出し動作に際して、一連のノイズ除去動作が終了した後、垂直信号線18-iの電圧が負荷トランジスタ12を通じて接地電位まで低下してしまうことが防止され、垂直信号線18-iの電圧はバイアス印加用トランジスタ31により例えば1V程度に設定される。

【0082】したがって、サンプルホールド用のトランジスタ19の垂直信号線18-i側の一端部・基板領域（本例ではPウェル=0V）が逆バイアス状態になり、そのリーク電流が抑制され、画像ノイズを抑制することができる。

【0083】＜第3実施例＞図5は、第3実施例に係るCMOSイメージセンサの等価回路を示している。図5のCMOSイメージセンサは、図18を参照して前述した従来例2のCMOSイメージセンサと比べて、一連のノイズ除去動作終了後に垂直信号線VLINの負荷トランジスタTLをオフ状態に制御するとともに垂直信号線VLINを所定のバイアス電圧（例えば電源電圧VDD=3.3V程度）に制御するための負荷トランジスタオン・オフ制御回路50（ソースホロワ制御スイッチ回路）が付加されている点、パルスセクタ（駆動回路）2aの構成、タイミング発生回路10aの構成、バイアス発生回路11aの構成が異なり、その他は同じである。

【0084】即ち、図5において、セル領域（撮像領域）1には、垂直選択トランジスタ（行選択トランジスタ、行選択手段）Ta、増幅トランジスタ（増幅手段）Tb、リセットトランジスタ（リセット手段）Tc、読出しトランジスタ（読出し手段）Td、フォトダイオード（光電変換手段）PDから構成される単位セル13が二次元の行列状に配置されて形成され、さらに、読取り線4、垂直選択線6、リセット線7、垂直信号線VLIN、電源線9が形成されている。

【0085】セル領域1の一端側の外部には、複数の負荷トランジスタTL、ノイズキャンセラー回路（信号保存領域）25、水平選択トランジスタTH、水平信号線HLIN、水平リセットトランジスタ（図示せず）、出力増幅回路（図示せず）、垂直シフトレジスタ2、パルスセクタ（駆動回路）2a、水平シフトレジスタ3、タイミング発生回路10a、バイアス発生回路（バイアス印加手段）11aなどが設けられている。

【0086】前記ノイズキャンセラー回路25は、サンプルホールド用のトランジスタTSH、電位クランプ用のトランジスタTCLP、結合コンデンサCc、電荷蓄積用のコンデンサCtにより構成されており、前記コンデンサ

Cc、コンデンサCtの接続ノードに水平選択トランジスタTHの一端が接続されている。

【0087】前記パルスセクタ（駆動回路）2aは、前記垂直シフトレジスタ2の出力パルスにより制御されてセル領域1の各行を走査的に駆動する。

【0088】前記バイアス発生回路11aは、ノイズキャンセラー回路25の電位クランプ用のトランジスタTCLPの一端に供給するためのバイアス電位VWC および前記オン・オフ制御回路50に供給するためのバイアス電位WLを発生する。

【0089】前記オン・オフ制御回路50は、（1）各ソースホロワ回路の負荷トランジスタTLのゲートと接地ノードとの間に接続された負荷カット用のトランジスタTCUTと、（2）各ソースホロワ回路の負荷トランジスタTLのゲートとバイアス発生回路11aのバイアス電圧（WL）出力ノードとの間に接続されたバイアス印加用トランジスタTCUTNと、（3）前記タイミング発生回路10aから所定のタイミングで出力するソースホロワ制御信号（φCUTパルス）を前記負荷カット用のトランジスタTCUTのゲートに印加し、前記φCUTパルスをインバータ回路51で反転したパルス信号を前記バイアス印加用トランジスタTCUTNのゲートに印加することによって前記バイアス印加用トランジスタTCUTNの動作を前記負荷カット用のトランジスタTCUTに対して相補的に制御するための回路を有する。

【0090】図6は、図5のCMOSイメージセンサの動作の一例を示すタイミング波形図である。

【0091】図5のCMOSイメージセンサの動作は、前述した従来例2の図18のCMOSイメージセンサの動作（図19参照）と比べて、基本的には同じであるが、ソースホロワ制御スイッチ回路50による制御動作が加わっている。

【0092】即ち、ソースホロワ制御スイッチ回路50は、CMOSイメージセンサで光電変換した信号をソースホロワ回路により増幅して次段のサンプルホールド用トランジスタTSHへ出力する期間（φADRESパルスがオンの期間）は、φCUTパルスを“L”にして負荷カット用のトランジスタTCUTをオフ状態（バイアス印加用トランジスタTCUTNをオン状態）に制御することによって、負荷トランジスタTLを動作状態に制御し、ソースホロワ回路を動作させる。この時、垂直信号線VLINの電圧WLINはソースホロワ回路の動作電圧Vm（約1V～1.5V）になる。

【0093】そして、上記φADRESパルスがオフの期間は、φCUTパルスを“H”にして負荷カット用のトランジスタTCUTをオン状態（バイアス印加用トランジスタTCUTNをオフ状態）に制御することによって、負荷トランジスタTLをオフ状態に制御し、ソースホロワ回路を動作させない。

【0094】このようにソースホロワ回路を必要な期間

だけ動作させ、その他の期間は動作させないので、ソースホロワ回路の消費電力を低減（従来例の約1/2から1/4に低減）することが可能になる。

【0095】しかも、 ϕ CUT パルスを、 ϕ ADRES パルスの立ち下がりよりも早く立ち上げ、 ϕ ADRES パルスの立ち上がりよりも遅れて立ち下げている。これにより、 ϕ CUT パルスをオンにした時（負荷トランジスタTLをカットオフした時）でも、 ϕ ADRES パルスがオンの期間にはそれによりオン状態に制御されている垂直選択トランジスタTaおよび増幅トランジスタTbを通じて垂直信号線VLINに所定のバイアス電圧（本例では電源電圧VDD=3.3V）が印加されるようになる。

【0096】この場合、 ϕ ADRES パルスの立ち下がり時には、既に負荷トランジスタTLがカットオフされているので、垂直信号線VLINの電圧WLINがソースホロワ回路の動作電圧VmからVDDまで上昇するタイミングを早めることができる。

【0097】このようにソースホロワ回路を動作させない期間（有効水平走査期間を含む）は、垂直信号線VLINの電圧WLINに所定のバイアス電圧が印加されるので、次段のサンプルホールド用トランジスタTSHの一端部（ドレイン）・基板領域（本例ではPウェル=0V）が逆バイアス状態になり、そのリーク電流が抑制され、縦筋等の画像ノイズを抑制し、縦筋やむらのない信号を得ることができる。

【0098】なお、図6中には、水平帰線期間に同一行の垂直選択線6の信号（ ϕ ADRES パルス）が断続的に2回オンになるように駆動する例を示しているが、これに限らず、図19に示した従来例2における ϕ ADRES パルスと同様に1回オンになるように駆動する場合でも上記したような効果が得られる。

【0099】ところで、図5のCMOSイメージセンサの動作において、図7に示すように、 ϕ ADRES パルスと ϕ CUT パルスを反転関係で同時に切り替えるように制御すれば、 ϕ ADRES パルスがオフ（ ϕ CUT パルスがオン）の時に垂直信号線VLINがフローティング状態になり、その電圧WLINとして ϕ ADRES パルスがオンの時の垂直信号線VLINの電圧WLIN（=Vm）を保持するようになる。

【0100】しかし、垂直信号線VLINの電圧WLINが比較的長い有効水平走査期間内にリーク電流によって0Vになるおそれがあり、この点を解決した実施例を以下に説明する。

【0101】＜第4実施例＞図8は、第4実施例の増幅型CMOSイメージセンサの等価回路を示している。

【0102】図8のCMOSイメージセンサは、図5を参照して前述した第3実施例のCMOSイメージセンサと比べて、（1） ϕ ADRES パルスと ϕ CUT パルスを反転関係で同時に切り替えるように制御する点、（2）ソースホロワ回路を動作させない期間（有効水平走査期間を含む）は、垂直信号線VLINに所定のバイアス電圧W1とし

てソースホロワ回路の動作電圧Vmと同じか近い電圧を印加するために、垂直信号線VLINとバイアス発生回路11aのバイアス電圧（W1）出力ノードとの間にバイアス印加用トランジスタ（スイッチトランジスタ）TWが接続され、そのゲートに前記 ϕ CUT パルスが印加される点が異なる。

【0103】図9は、図8のCMOSイメージセンサの動作の一例を示すタイミング波形図である。

【0104】図9に示すCMOSイメージセンサの動作は、前述した第3実施例に係るCMOSイメージセンサの動作（図6参照）と比べて、基本的には同じであるが、 ϕ ADRES パルスがオフ（ ϕ CUT パルスがオン）の時にバイアス印加用トランジスタ（スイッチトランジスタ）TWがオン状態になる動作が加わる。

【0105】このような制御によれば、 ϕ ADRES パルスと ϕ CUT パルスを反転関係で同時に動作させた場合でも、 ϕ ADRES パルスがオフ（ ϕ CUT パルスがオン）の時に、負荷トランジスタTLをオフにすると同時に、垂直信号線VLINにソースホロワ回路の動作電圧Vm（約1.5V）と同じか近い所定のバイアス電圧W1（=0.5～2V）を印加することが可能になる。

【0106】なお、 ϕ CUT パルスに同期してバイアス印加用トランジスタ（スイッチトランジスタ）TWを切り替えるので、 ϕ ADRES パルスのオン期間を短くすることができ、ソースホロワ回路の消費電力を低減することができる。

【0107】また、ソースホロワ回路の動作電圧Vmとバイアス電圧W1との電圧差を小さくすることにより、垂直信号線VLINの応答が早く、垂直信号線VLINの電圧WLINの立ち上がり時間 t_1 、 t_3 および立ち下がり時間 t_2 、 t_4 を短くすることができ、ソースホロワ回路の動作速度を早くすることができる。

【0108】また、垂直信号線VLINの電位切換の変化量が小さいので、電位切換時のソースホロワ回路の動作電流が小さくなり、また、スパイクノイズも小さくなる。

【0109】図10（a）、（b）、（c）は、図8のCMOSイメージセンサにおけるノイズキャンセラー回路25のサンプルホールド用トランジスタTSHのリーク電流抑制動作を説明するために、トランジスタTSHの断面図およびトランジスタTSHの基板内の電位ポテンシャルを示している。

【0110】図10（a）において、垂直信号線VLINの電圧WLINが3.3Vと高い時は、基板へのリーク電流IL1が発生し、このリーク電流IL1がサンプルホールド用トランジスタTSHの結合コンデンサCc側のn型ソース領域に流れ込み、縦筋等の画像ノイズが発生するおそれがある。

【0111】また、図10（b）に示すように、サンプルホールド用トランジスタTSHのチャネル領域のポテンシャルが拡散層との容量結合により上昇し、飽和レベル

の信号電荷が垂直信号線VLINにリークすることにより、飽和の縦筋等の画像ノイズが発生するおそれがある。

【0112】これに対して、図10(c)に示すように、垂直信号線VLINに所定のバイアス電圧W1(=0.5~2V)を印加することにより、 ϕ SHパルスが0Vの時のサンプルホールド用トランジスタTSHのチャネル領域の電位ポテンシャルが例えば-0.5V程度になるように設定しておけば、基板へのリーク電流IL1と飽和レベルの信号電荷のリークを抑制することが可能になる。

【0113】<第5実施例>図11は、第5実施例の増幅型CMOSイメージセンサの等価回路を示している。

【0114】図11のCMOSイメージセンサは、図8を参照して前述した第4実施例のCMOSイメージセンサと比べて、ソースホロウ回路を動作させない期間(有効水平走査期間を含む)は、垂直信号線VLINに所定の第1のバイアス電圧W1と第2のバイアス電圧W2とを切り換えて印加するために、垂直信号線VLINとバイアス発生回路11bの第1のバイアス電圧(W1)出力ノードとの間に第1のバイアス印加用トランジスタ(スイッチトランジスタ)TV1が接続され、そのゲートにタイミング発生回路10bから第1の制御信号(ϕ W1パルス)が印加され、垂直信号線VLINとバイアス発生回路11bの第2のバイアス電圧(W2)出力ノードとの間に第2のバイアス印加用トランジスタ(スイッチトランジスタ)TV2が接続され、そのゲートにタイミング発生回路10bから第2の制御信号(ϕ W2パルス)が印加される点異なる。

【0115】図12は、図11のCMOSイメージセンサの動作の一例を示すタイミング波形図である。

【0116】図12に示すCMOSイメージセンサの動作は、前述した第4実施例のCMOSイメージセンサの動作(図9参照)と比べて、基本的には同じであるが、 ϕ W1パルス、 ϕ W2パルスとも、 ϕ ADRESパルスの立ち下がりで立ち上がり、 ϕ ADRESパルスの立ち上がりで立ち下がっており、 ϕ W1パルス、 ϕ W2パルスのいずれも、 ϕ ADRESパルスの立ち下がりから ϕ CUTパルスの立ち上がりまで活性状態となっている。但し、 ϕ W1パルスは、水平帰線期間の信号の読出し期間内に活性状態となり、 ϕ W2パルスはその他の期間内に活性状態となる。

【0117】これにより、水平帰線期間において、第1回目の ϕ ADRESパルスをオフした後に垂直信号線VLINの電圧VLINを第1のバイアス電圧W1に設定し、第2回目の ϕ ADRESパルスをオフした後から有効水平走査期間中には垂直信号線VLINの電圧VLINを第2のバイアス電圧W2に設定するように制御することが可能になる。なお、 ϕ RESETパルスと ϕ READパルスの間は短くしたいので、水平帰線期間に垂直信号線VLINに印加される第1のバイアス電圧W1をリーク電流が問題にならない電圧に設定し、応答性を良くすることができる。

【0118】即ち、第1のバイアス電圧W1として、例えば前述した第4実施例のCMOSイメージセンサと同様に、ソースホロウ回路の動作電圧V_m(約1.5V)に近い電圧1.0V~1.5Vに設定している。

【0119】また、水平帰線期間における ϕ ADRESパルスのオフ時間よりも有効水平走査期間における ϕ ADRESパルスのオフ時間が約10倍長いので、有効水平走査期間におけるリーク電流が水平帰線期間におけるリーク電流の約1/10となる必要がある。そのためには、有効水平走査期間に垂直信号線VLINに印加される第2のバイアス電圧W2を、水平帰線期間に垂直信号線VLINに印加される第1のバイアス電圧W1よりも低く設定して、図10に示したようなリーク電流を低減する。

【0120】即ち、第2のバイアス電圧W2として、有効水平走査期間におけるリーク電流を低減するために、第1のバイアス電圧W1よりも低い0.5V~1.4Vに設定している。この場合、第2のバイアス電圧W2を0.5Vより低くすると、サンプルホールド用トランジスタTSHの閾値電圧V_{th}(=0.5V)との関係からそのカットオフが不十分になってリーク電流が発生するおそれがある。

【0121】なお、前記第1、第2、第4及び第5実施例において、垂直信号線(18-iあるいはVLIN)に信号を出力する期間以外におけるフォトダイオード(8あるいはPD)の信号電荷蓄積期間中に垂直信号線の電位が0Vまで低下しないようにバイアスを印加することにより、垂直信号線に信号を出力した後に垂直信号線の電位がフローティング状態に放置されなくなる。したがって、リークにより垂直信号線の電位が0Vに近付くことが防止されるので、出力信号の表示画面上にスミアと呼ばれる偽信号が発生する現象を防止することが可能になる。

【0122】即ち、垂直信号線に信号を出力した後、垂直信号線の電位がフローティング状態に放置されたままであると、セル領域1のある画素部分にだけ強い光が入射した場合に、この画素部分のフォトダイオードが飽和し、それより溢れ出た信号電荷が近傍の垂直信号線に流れ込み、この垂直信号線の電位が0Vに近付く。一方、光が入射していない画素部分ではフォトダイオードの電位が0Vより高い電位(例えば1V)に設定されているので、前記したように垂直信号線の電位が0Vに近付くと、この垂直信号線から光が入射していない画素部分のフォトダイオードに電子がリークする。

【0123】このような現象が起きた場合、撮像装置出力信号の表示画面上には、強い光が入射した画素部分から上下方向の画素部分に対応する位置に白い線(スミアと呼ばれる偽信号)が発生する。

【0124】ところで、前記第2実施例、第4実施例および第5実施例においては、垂直信号線(18-iあるいはVLIN)にバイアスを印加するために、垂直信号線にバ

イアス印加用トランジスタ(31あるいはTW)の一端を接続し、その他端にバイアス電圧を接続し、このバイアス印加用トランジスタのゲートにオン・オフ制御信号を印加する構成によってバイアス印加のタイミングを設定制御しているが、上記バイアス印加を垂直信号線の電圧低下に応じて自動的に行う自動バイアス印加手段を設けるように変更することも可能である。

【0125】また、前記第2実施例、第4実施例および第5実施例においては、各垂直信号線(18-iあるいはVLIN)にバイアス印加専用のトランジスタ(31あるいはTW)を接続しているが、読出し用の画素行と実質的に同じ構成のダミー画素行を利用してバイアス印加を行うように変更することも可能である。

【0126】これらの変更例について、以下、第6実施例および第7実施例を参照して説明する。

【0127】<第6実施例>第6実施例のCMOSイメージセンサの構成は、図3を参照しながら前述した第2実施例のCMOSイメージセンサと比べて、各垂直信号線18-iと所定の電源ノードとの間にそれぞれ接続されたバイアス印加用トランジスタ31のゲートに例えば

1. 2Vの電圧を印加するようにした点と異なり、その他は同じである。上記バイアス印加用トランジスタ31は、後述するように垂直信号線18-iの余剰電荷を吸収(排出)する作用を有するので、以下では余剰電荷吸収用トランジスタと呼ぶ。

【0128】図13は、第6実施例の固体イメージセンサの動作例を示すタイミング波形図である。

【0129】図3中の余剰電荷吸収用トランジスタ31の閾値電圧が例えば0.7Vであると、それに接続されている垂直信号線18-iの電位が前記したようにフォトダイオード8の信号電荷蓄積期間中に0.5V以下になった時に、余剰電荷吸収用トランジスタ31のドレインに電子を吸収し、垂直信号線18-iの電位が例えば0.5Vになり、0Vまで下がらなくなる。

【0130】したがって、前記したようなスミアと呼ばれる偽信号が発生し難くなる。即ち、垂直信号線18-iから光が入射していない画素部分のフォトダイオード8に電子がリークしようとしても、垂直信号線18-iの電位は、0Vではなく、例えば0.5Vになっているので、基板バイアス効果により、フォトダイオード8への電子のリークが少なくなる。

【0131】即ち、上記第6実施例のCMOSイメージセンサによれば、垂直信号線18-iに信号を出力する期間以外に垂直信号線18-iの電位がある一定以下の電位になったら自動的にオン状態になるスイッチ素子31を各垂直信号線18-iに接続することにより、垂直信号線18-iにバイアスを印加するタイミングを垂直信号線18-iの電圧低下に応じて自動的に行うことを特徴とするものである。

【0132】これにより、垂直信号線18-iの信号出力

期間以外に垂直信号線18-iの電位が0Vまで低下しないようにし、リークが生じたとしても、垂直信号線18-iからフォトダイオード8へのリークを抑制することができる。

【0133】さらには、図3中のサンプルホールド用トランジスタ19を介してのリークが少なくなり、垂直信号線18-iに水平選択トランジスタ23-iが直接に接続される場合には水平選択トランジスタ23-iを介しての水平信号線26へのリークが少なくなるという効果もある。

【0134】<第7実施例>図14は、第7実施例のCMOSイメージセンサの等価回路の一部を示しており、図15は第7実施例のCMOSイメージセンサの動作例を示すタイミング波形図である。

【0135】図15に示すCMOSイメージセンサは、図3を参照しながら前述した第2実施例のCMOSイメージセンサと比べて、セル領域1に本来の読出し対象となる読出し用の画素行とは別に、読出し用の画素行内の単位セル13とそれぞれ同じ構成のダミーセル13'を行方向に配置して形成したダミー画素行1aを追加しておき、このダミー画素行1aに対応して垂直シフトレジスタ2のシフト段数を増やし、ダミー画素行1aのダミーセル13'に対応する垂直選択線(アドレス線)6およびリセット線7を所定のタイミングで活性化制御するようにした点と異なり、その他は同じであるので図3中と同一符号を付している。なお、図15には、垂直シフトレジスタ2の出力側の垂直駆動回路2'を図示している。

【0136】第7実施例のCMOSイメージセンサにおいては、信号電荷蓄積期間中にダミー画素行1aのダミーセル13'の垂直選択トランジスタ16およびリセットトランジスタ17を余剰電荷吸収用トランジスタとして動作させることにより、垂直信号線18-iの電位がある一定以下の電位になった時にダミー画素行1aの垂直選択トランジスタ16および増幅トランジスタ15がオン状態になり、垂直信号線18-iの余剰電荷が垂直選択トランジスタ16のドレインに吸収され、垂直信号線18-iの電位が0Vまで下がらなくなる。

【0137】したがって、前記したようなスミアと呼ばれる偽信号が発生し難くなる。即ち、垂直信号線18-iから光が入射していない画素部分のフォトダイオード8に電子がリークしようとしても、垂直信号線18-iの電位は、0Vではなく、例えば0.5Vになっているので、基板バイアス効果により、フォトダイオード8への電子のリークが少なくなる。

【0138】なお、図14中のバイアス印加用トランジスタ31は、上記動作に関係ないので、省略してもよい。

【0139】即ち、上記第7実施例のCMOSイメージセンサによれば、垂直信号線18-iに信号を出力する期

間以外に垂直信号線18-iの電位がある一定以下の電位になったらダミー画素行1aの垂直選択トランジスタ16および増幅トランジスタ15がオン状態になるように構成することにより、垂直信号線18-iにバイアスを印加するタイミングを垂直信号線18-iの電圧低下に応じて自動的に行うことを特徴とするものである。

【0140】これにより、垂直信号線18-iの信号出力期間以外に垂直信号線18-iの電位が0Vまで低下しないようにし、リークが生じたとしても、垂直信号線18-iからフォトダイオード8へのリークを抑制することができる。

【0141】また、図14中のサンプルホールド用トランジスタ19を介してのリークが少なくなり、垂直信号線18-iに水平選択トランジスタ23-iが直接に接続される場合には水平選択トランジスタ23-iを介しての水平信号線26へのリークが少なくなるという効果もある。

【0142】さらに上記第7実施例において、前記垂直シフトレジスタ2は、あるフレーム（フィールド）の選択を始めて初段から終段までのシフト動作を終了した後（複数の読出し用の画素行の単位セル13からの信号読出しを制御した後）、再び初段に戻って次のフレームの選択を始める。この場合、再び初段に戻るまでの期間（垂直帰線期間）には終段から出力を発生したままになっており、この期間に垂直駆動回路2'により前記ダミー画素行1aの垂直選択トランジスタ16およびリセットトランジスタ17を駆動するようにすれば、この垂直駆動回路2'の負荷が垂直走査期間、垂直帰線期間で変動しないので、電源線9の電圧変動をまねかず、固体撮像装置の出力信号を画像表示装置の画面に表示した場合に横筋が発生することはない。

【0143】なお、上記第6実施例および第7実施例で説明したように、垂直信号線18-iの電位を0Vまで低下させない制御は、信号電荷蓄積期間だけでなく、水平帰線期間中でも信号電荷読出し期間以外の全てにおいて適用すると、さらに大きな効果が得られ、偽信号の発生をさらに抑えることができる。

【0144】また、上記第7実施例では、垂直信号線18-iへのバイアス印加が垂直信号線18-iの電圧低下に応じて自動的に行なわれる構成としたが、信号電荷蓄積期間中にダミー画素行1aの垂直選択トランジスタ16およびリセットトランジスタ17をオン状態に制御して、上記第2実施例、第4実施例および第5実施例と同様に、垂直信号線18-iを直接所定のバイアス電位、例えばソースホロワ回路の動作電圧と同じか、近い電圧に設定してもよい。

【0145】さらに、前記各実施例は、1個のフォトダイオードPD、4個のトランジスタからなる1画素の単位セル13のアレイを有するCMOSイメージセンサを示したが、これに限らず、垂直信号線に対して負荷トラ

ンジスタを一端部に接続して出力する構成のイメージセンサ（例えば2個のフォトダイオードPD、5個のトランジスタからなる2画素の単位セルのアレイを有するCMOSイメージセンサ）や、光電変換部を積層した積層型のイメージセンサにも本発明を適用可能である。

【0146】また、スイッチ素子としてN型MOSトランジスタを使用した例を示したが、N型MOSトランジスタ、P型MOSトランジスタのペアからなるCMOSスイッチを使用してもよい。また、上記各実施例とは電圧関係が逆になるが、P型のソースホロワ回路を使用してもよい。

【0147】

【発明の効果】上述したように本発明の固体撮像装置によれば、1水平線毎の読出し動作に際してノイズキャンセラー回路による一連のノイズ除去動作が終了した後における電流リークを抑制でき、イメージセンサの出力信号の表示画面に発生する縦筋などの画像ノイズを抑制することができ、S/Nの高い鮮明な画像を得ることができる。

【0148】また、本発明の固体撮像装置によれば、CMOS型イメージセンサの消費電力の低減と縦筋等の画像ノイズ対策が可能になる。

【図面の簡単な説明】

【図1】本発明の第1実施例のCMOSイメージセンサの等価回路を示す図。

【図2】図1中のCMOSイメージセンサの動作の一例を示すタイミング波形図。

【図3】本発明の第2実施例のCMOSイメージセンサの等価回路を示す図。

【図4】図3中のCMOSイメージセンサの動作の一例を示すタイミング波形図。

【図5】本発明の第3実施例のCMOSイメージセンサの等価回路を示す図。

【図6】図5中のCMOSイメージセンサの動作の一例を示すタイミング波形図。

【図7】図5中のCMOSイメージセンサの動作のタイミングを変更した場合の動作を説明するために示すタイミング波形図。

【図8】本発明の第4実施例のCMOSイメージセンサの等価回路を示す図。

【図9】図8中のCMOSイメージセンサの動作の一例を示すタイミング波形図。

【図10】図8中のCMOSイメージセンサにおけるノイズキャンセラー回路部のサンプルホールドトランジスタのリーク電流抑制動作を説明するためにトランジスタの断面図およびトランジスタの基板内の電位ポテンシャルを示す図。

【図11】本発明の第5実施例のCMOSイメージセンサの等価回路を示す図。

【図12】図11中のCMOSイメージセンサの動作の

一例を示すタイミング波形図。

【図13】本発明の第6実施例のCMOSイメージセンサの動作の一例を示すタイミング波形図。

【図14】本発明の第7実施例のCMOSイメージセンサの等価回路を示す図。

【図15】図14中のCMOSイメージセンサの動作の一例を示すタイミング波形図。

【図16】1画素毎に画素信号の読出しが可能な読出し回路を備えた増幅型CMOSイメージセンサの従来例1を示す等価回路図。

【図17】図16の固体イメージセンサの動作の一例を示すタイミング波形図。

【図18】増幅型CMOSイメージセンサの従来例2を示す等価回路図。

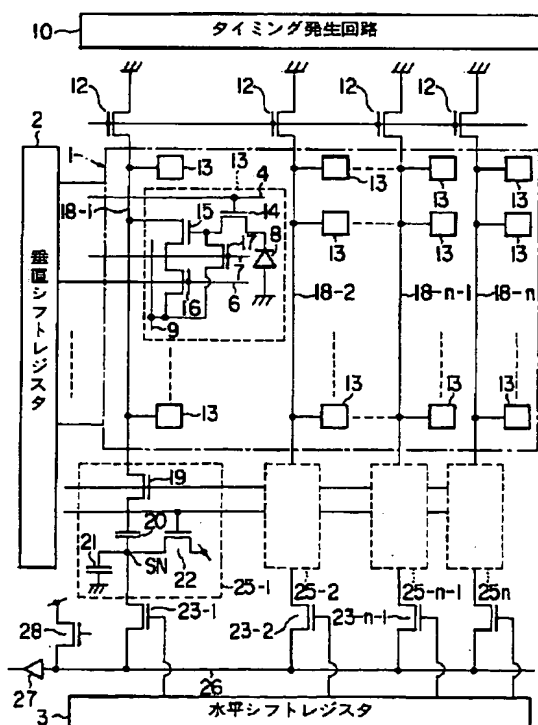
【図19】図18の固体イメージセンサの動作の一例を示すタイミング波形図。

【図20】本発明の変形例として、図18の固体イメージセンサの構成を一部変更した場合の動作の一例を示すタイミング波形図。

【符号の説明】

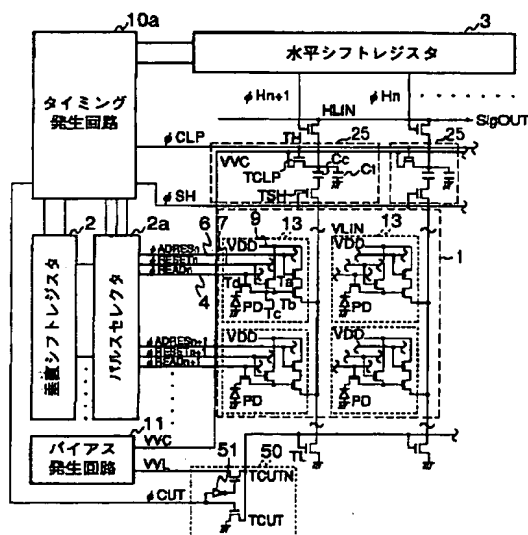
- 1…セル領域（撮像領域）、
- 2…垂直シフトレジスタ、
- 3…水平シフトレジスタ、

【図1】

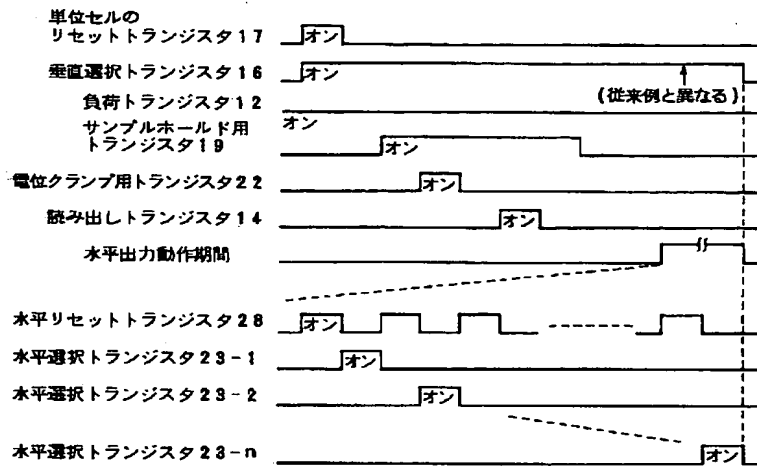


- * 4…読取り線、
- 6…垂直選択線、
- 7…リセット線、
- 8…フォトダイオード
- 9…電源線、
- 10…タイミング発生回路、
- 12…負荷トランジスタ、
- 13…1画素の単位セル、
- 14…読出しトランジスタ、
- 15…増幅トランジスタ、
- 16…垂直選択トランジスタ（行選択トランジスタ）、
- 17…リセットトランジスタ、
- 18…垂直信号線、
- 19…サンプルホールド用のトランジスタ、
- 20…結合コンデンサ、
- 21…電荷蓄積用のコンデンサ、
- SN…信号保存ノード、
- 22…電位クランプ用のトランジスタ、
- 23…水平選択トランジスタ、
- 25…ノイズキャンセラー回路、
- 26…水平信号線、
- 27…出力増幅回路、
- * 28…水平リセットトランジスタ。

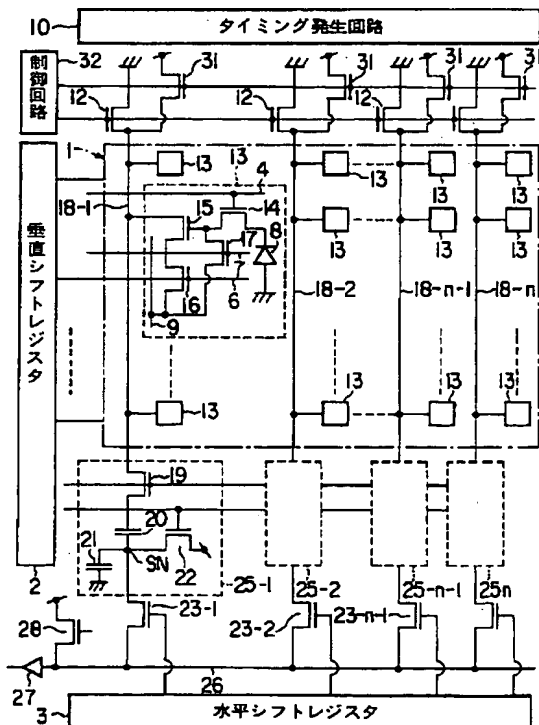
【図5】



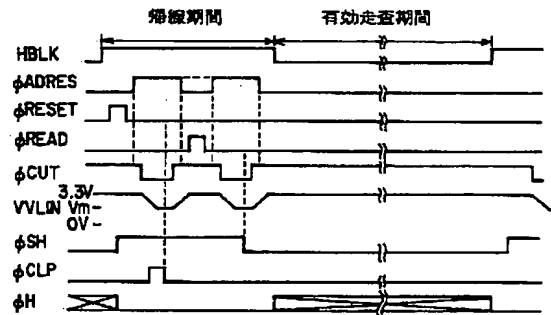
【図2】



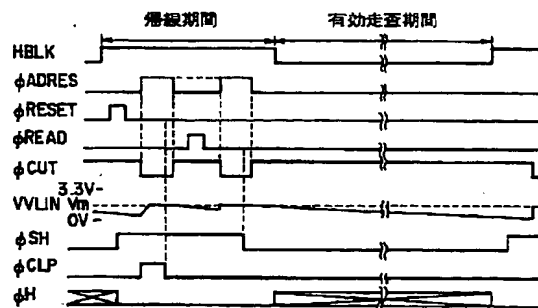
【図3】



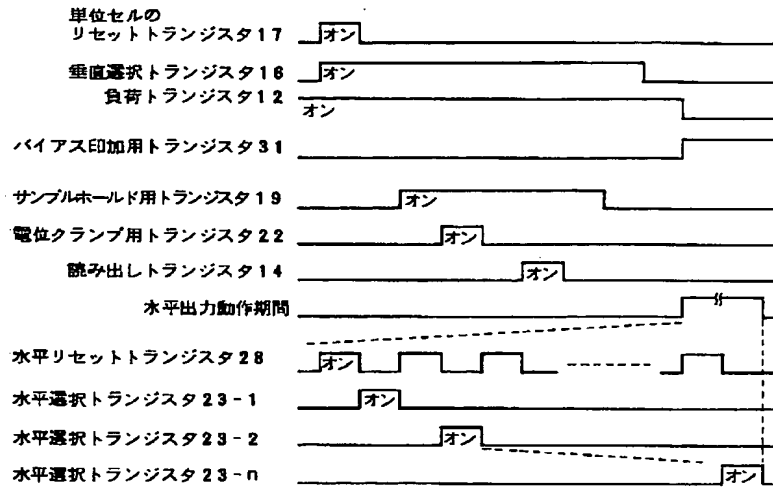
【図6】



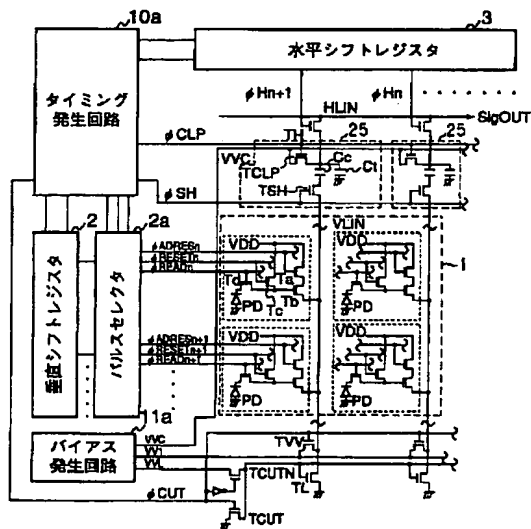
【図7】



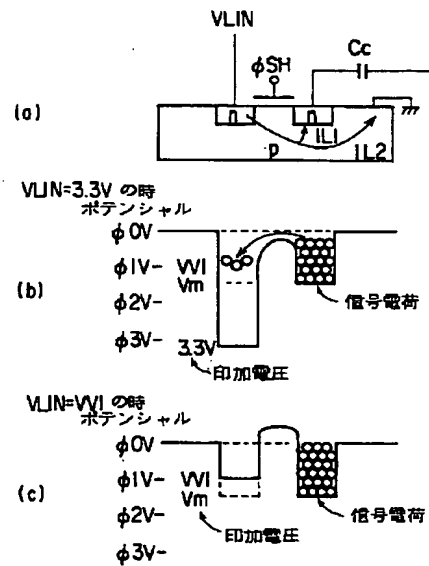
【図4】



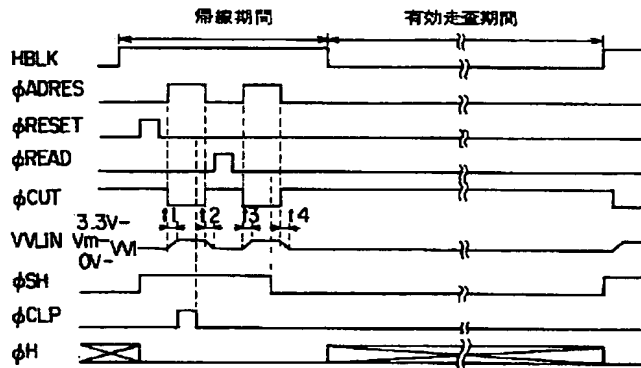
【図8】



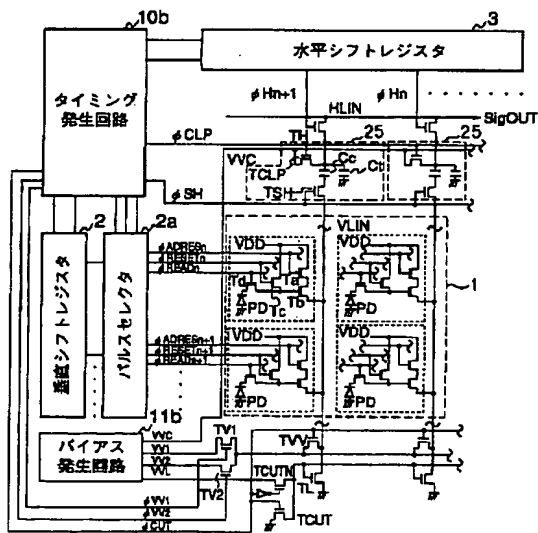
【図10】



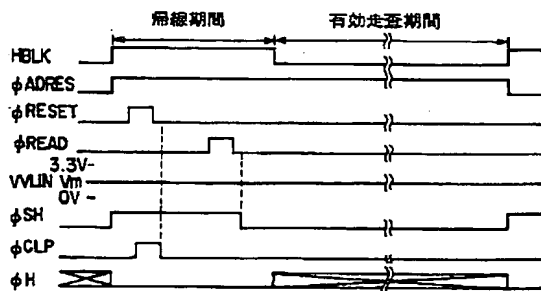
【図9】



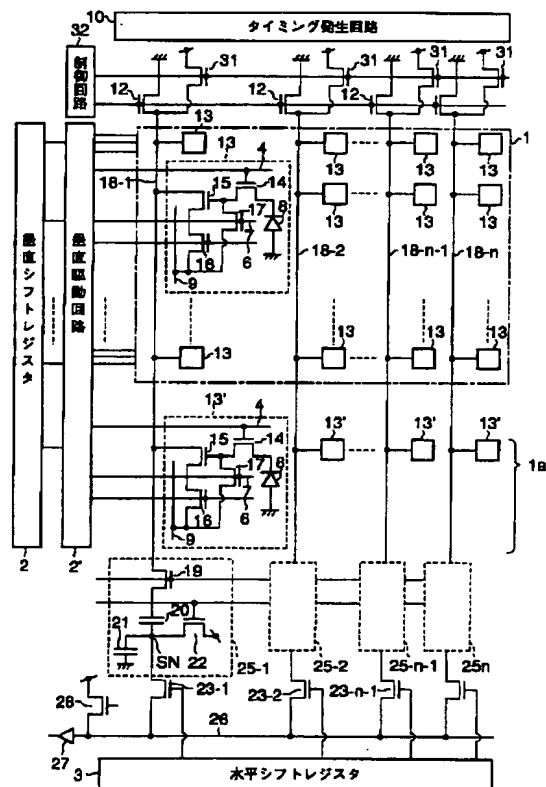
【図11】



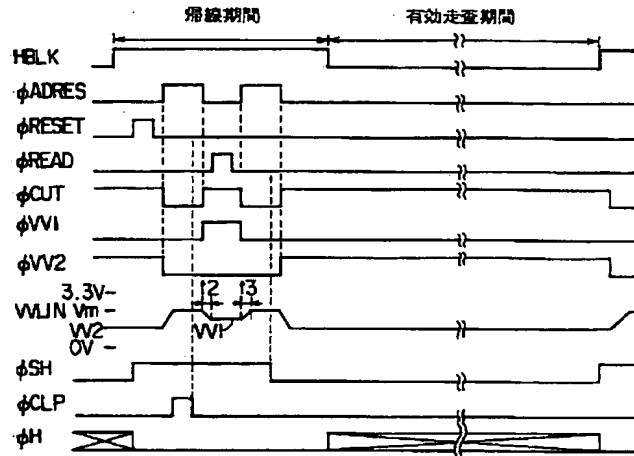
【図20】



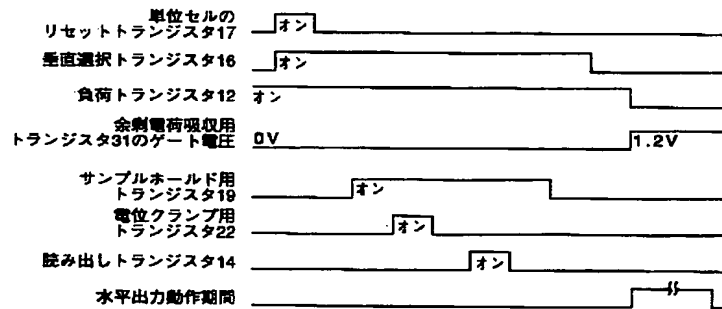
【図14】



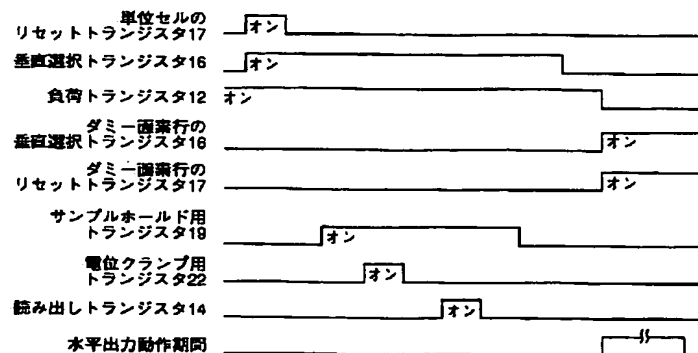
【図12】



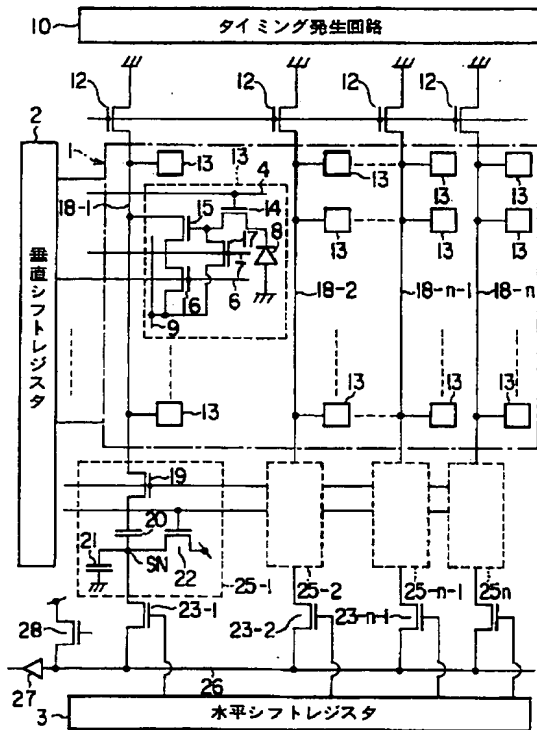
【図13】



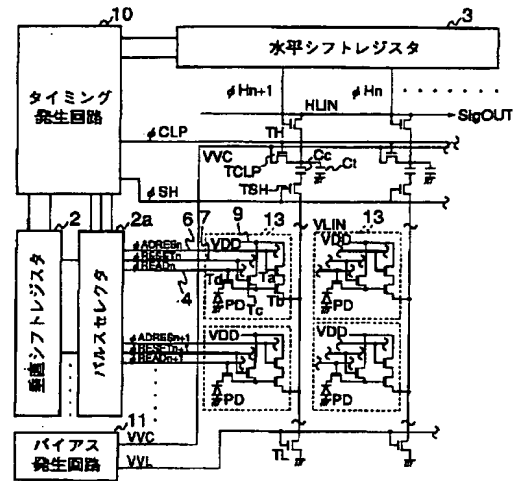
【図15】



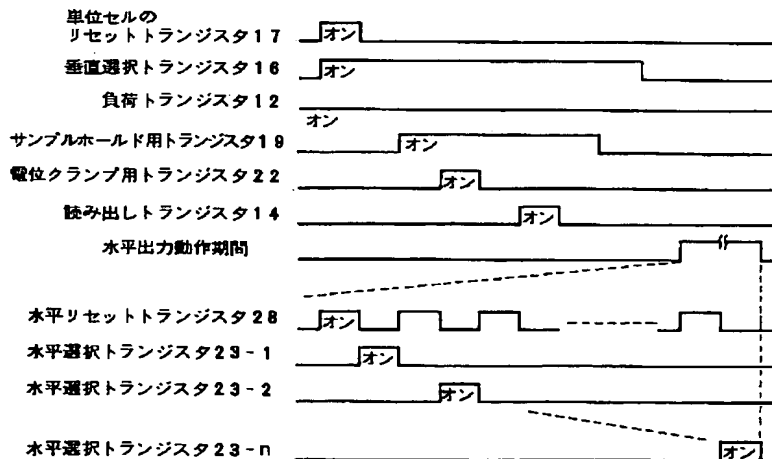
【図16】



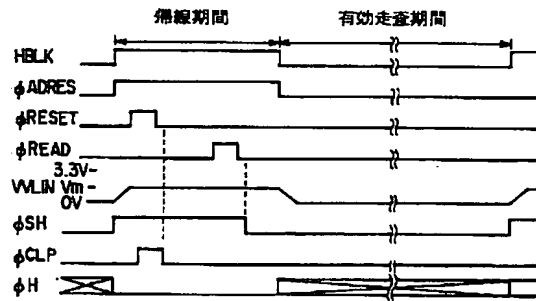
【図18】



【図17】



【図19】



フロントページの続き

(72)発明者 大澤 慎治
 神奈川県川崎市幸区堀川町580番1号 株
 式会社東芝半導体システム技術センター内

(72)発明者 田中 頼子
 神奈川県川崎市幸区堀川町580番1号 株
 式会社東芝半導体システム技術センター内
 (72)発明者 田中 長孝
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝多摩川工場内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.